

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-034400

(43)Date of publication of application : 07.02.1997

(51)Int.Cl. G09G 3/28
H04N 5/66

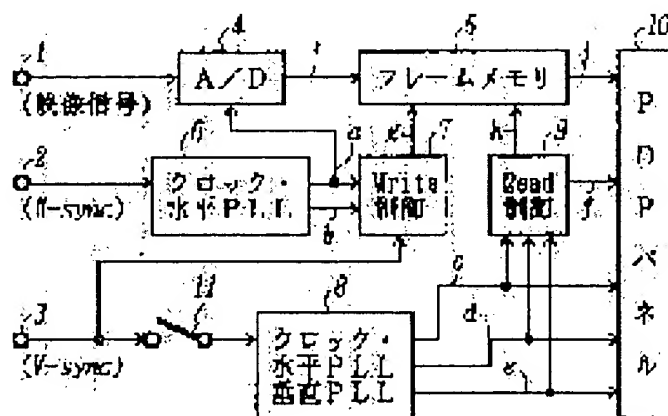
(21)Application number : 07-184407 (71) FUJITSU GENERAL LTD Applicant :

(22)Date of filing : 20.07.1995 (72)Inventor : KONDO SATORU
KISHI TOSHIYUKI

(54) IMAGE DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To display images of normal gradation on a display panel (PDP) by changing the frame frequency of the signals which cannot be displayed on a PDP. SOLUTION: An image signal 1 is converted into a digital signal by an A/D converter 4 to be inputted into a frame memory 5 and read by a write control signal g sent from a write control section 7. The write control section controls writing by a clock (a) synchronized with H-sync 2 generated at a clock-horizontal PLL circuit 6, H-sync b and V-sync 3. When the frame period of the input signal is shorter than that which can be displayed on a PDP panel 10, the switch is made off to generate a clock c by self-running at the clock horizontal PLL-vertical PLL circuit 8, generate a H-sync d and V-sync e, thereby read the image data of the frame memory through a readout control section 9 and display it by driving the PDP panel.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision
of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-34400

(43) 公開日 平成9年(1997)2月7日

| (51) Int.Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|---------------------------|-------|---------|--------------|---------|
| G 0 9 G 3/28 | | 4237-5H | G 0 9 G 3/28 | K |
| H 0 4 N 5/66 | 1 0 1 | | H 0 4 N 5/66 | 1 0 1 B |

審査請求 未請求 請求項の数 8 O L (全 5 頁)

(21) 出願番号 特願平7-184407

(22) 出願日 平成7年(1995)7月20日

(71) 出願人 000006611

株式会社富士通ゼネラル

神奈川県川崎市高津区末長1116番地

(72) 発明者 近藤 悟

川崎市高津区末長1116番地 株式会社富士通ゼネラル内

(72) 発明者 岸 俊行

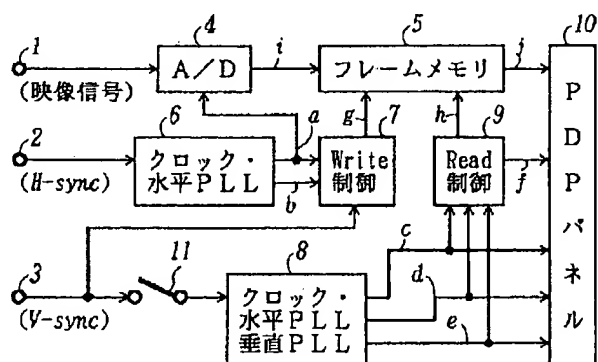
川崎市高津区末長1116番地 株式会社富士通ゼネラル内

(54) 【発明の名称】 画像表示装置

(57) 【要約】

【課題】 表示器 (PDPパネル) に表示不可能なフレーム周期の信号のフレーム周期を変換し、PDPパネルに正常な階調の画像を表示する。

【解決手段】 映像信号1をA/D変換部4でデジタル信号に変換し、フレームメモリ5に入力し、書込制御部7よりの書込制御信号gにより書込む。書込制御部は、クロック・水平PLL回路6で生成されるH-sync 2に同期したクロックaとH-sync bとV-sync 3とにより書込制御を行う。入力信号のフレーム周期がPDPパネル10で表示可能なフレーム周期より短い場合、スイッチ11をオフし、クロック・水平PLL・垂直PLL回路8で自走によりクロックcを生成し、H-sync d、V-sync eを生成し、これらにより読出制御部9を介してフレームメモリの画像データを読出すと共にPDPパネルを駆動し表示する。



【特許請求の範囲】

【請求項1】 映像データの書き込みおよび読出しを非同期で行えるメモリと、映像データと共に入力される水平同期信号に同期した書き込みクロックおよび内部水平同期信号を生成するクロック・水平PLL回路と、クロック・水平PLL回路よりの信号および前記映像データと共に入力される垂直同期信号により前記メモリの書き込みを制御する書込制御部と、読出しクロック、内部水平同期信号および内部垂直同期信号を生成するクロック・水平PLL・垂直PLL回路と、クロック・水平PLL・垂直PLL回路よりの信号により前記メモリの読出しを制御する読出制御部とからなり、前記クロック・水平PLL・垂直PLL回路よりの信号に基づいて表示器を制御し、前記メモリより読出された映像データに基づいて表示するようにした画像表示装置。

【請求項2】 前記クロック・水平PLL・垂直PLL回路は、外部よりの垂直同期信号の入力にて外部垂直同期信号に同期した読出しクロック、内部水平同期信号および内部垂直同期信号を生成し、外部垂直同期信号の非入力にて自走により所要の読出クロック、内部水平同期信号および内部垂直同期信号を生成するものである請求項1記載の画像表示装置。

【請求項3】 前記クロック・水平PLL・垂直PLL回路の外部垂直同期信号入力端にスイッチを設け、入力される映像信号のフレーム周期が所要のフレーム周期より短い場合にオフするようにした請求項1または請求項2記載の画像表示装置。

【請求項4】 フレーム周期を判別するフレーム周期判別部を設け、入力される映像信号のフレーム周期が所要のフレーム周期より短い場合に前記スイッチをオフするようにした請求項3記載の画像表示装置。

【請求項5】 入力される映像信号のフレーム周期が表示器で表示可能なフレーム周期より短い場合に前記スイッチをオフするものである請求項3または請求項4記載の画像表示装置。

【請求項6】 A/D変換部を設け、入力されるアナログの映像信号を前記表示器の処理ビット数に相応するビット数の映像データに変換し、前記メモリに入力するようにした請求項1、請求項2、請求項3、請求項4または請求項5記載の画像表示装置。

【請求項7】 前記メモリは、少なくとも1フレーム分の映像データを記録できるフレームメモリにより構成してなる請求項1、請求項2、請求項3、請求項4、請求項5または請求項6記載の画像表示装置。

【請求項8】 前記A/D変換部は、前記クロック・PLL回路で生成されるクロックにより映像信号をサンプリングし、デジタル信号に変換するものである請求項1、請求項2、請求項3、請求項4、請求項5、請求項6または請求項7記載の画像表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は画像表示装置に係り、表示器（プラズマディスプレイパネル等）で表示可能なフレーム周期より短いフレーム周期のコンピュータ画像等を正しい階調で表示するものに関する。

【0002】

【従来の技術】プラズマディスプレイ（PDP）パネルあるいは強誘電性液晶素子等を用いた表示器は、駆動電圧と表示出力とが非直線性を示すため、入力信号に対応する輝度階調の画像を表示できない。このため、点灯期間を細分化し、各点灯期間を点灯する若しくは点灯しない、すなわち、各セルの点灯回数の多いか少ないかで階調を表示する。このため、例えば、アドレス・表示分離型サブフィールド法により、各点灯期間の点灯回数を点灯期間別に制御し所要の階調の画像を表示する。具体的には、図4に示すように、1フィールドを点灯時間の相対比の異なる複数のサブフィールド（SF）に分割し、映像信号を1フィールドのサブフィールドの数に対応するビット数のデジタル信号に変換し、このビットデータに基づいて対応するセルを所要のサブフィールド（1サブフィールド若しくは複数のサブフィールド）で点灯する、という方法を用いる。そして、各サブフィールドでアドレス期間に全セルに1画面分のデータを書込み、点灯すべきセルに壁電荷を形成し、続くサステインに全画面にサステインパルスを印加し、壁電荷の形成されているセルで放電させて点灯する、という動作を各サブフィールドで行う。

【0003】PDPパネルの駆動回路は、例えば、図5に示す一例のように、映像信号1をA/D変換部4に印加し、映像信号1と同時に入力される水平同期信号（H-sync）2に同期させてクロック・水平PLL回路6で生成されるクロックaを用いてサンプリングし、デジタルの映像データdに変換し、制御部41により、前記クロックa、クロック・水平PLL回路6で生成される水平同期信号bおよび映像信号1と共に入力される垂直同期信号（V-sync）3によりPDPパネル10の駆動に必要な制御信号cを生成し、映像データdと共にPDPパネル10に印加し、画像を表示するようにしているが、例えば、NTSC信号を64階調で表示するように設定されたPDPパネルは、1フィールドの期間に6個のサブフィールドがあり、60分の1秒の間にこれら6個のサブフィールドを駆動するための信号処理を行うように構成されているため、これより短いフレーム周期の信号、例えば、フレーム周期が70Hzの映像信号を入力した場合は駆動されない（点灯しない）サブフィールドが生じ、正しい階調の画像を表示できないという問題がある。

【0004】

【発明が解決しようとする課題】本発明はこのような点に鑑み、PDPパネルで表示可能なフレーム周期より短いフレーム周期の映像信号、例えば、フレーム周期70Hz

のコンピュータ信号を入力する場合、入力映像信号のフレーム周期をPDPパネルに表示可能なフレーム周期に変換することにより正しい階調の画像を表示できるようにすることにある。

【0005】

【課題を解決するための手段】本発明は上述の課題を解決するため、映像データの書込みおよび読出しを非同期で同時に行えるメモリと、映像データと共に入力される水平同期信号に同期した書込みクロックおよび内部水平同期信号を生成するクロック・水平PLL回路と、クロック・水平PLL回路よりの信号および前記映像データと共に入力される垂直同期信号により前記メモリの書込みを制御する書込制御部と、外部よりの垂直同期信号の入力にて外部垂直同期信号に同期した読出しクロック、内部水平同期信号および内部垂直同期信号を生成し、外部垂直同期信号の非入力にて自走により所要の読出クロック、内部水平同期信号および内部垂直同期信号を生成するクロック・水平PLL・垂直PLL回路と、クロック・水平PLL・垂直PLL回路よりの信号により前記メモリの読出しを制御する読出制御部とからなり、前記クロック・水平PLL・垂直PLL回路よりの信号に基づいて表示器を制御し、前記メモリより読出された映像データに基づいて表示するようにした画像表示装置を提供するものである。

【0006】

【作用】以上のように構成したので、本発明による画像表示装置においては、ディジタル変換された画像データを書込みと読出しを非同期で行えるフレームメモリに書込み、表示器（PDPパネル）で表示可能なフレーム周期のクロックで読出すことによりフレーム周期の変換を行い、PDPパネルに印加し、正しい輝度階調の画像を表示する。

【0007】

【実施例】以下、図面に基づいて本発明による画像表示装置の実施例を詳細に説明する。図1は本発明による画像表示装置の一実施例の要部ブロック図である。図において、1はコンピュータ装置等より入力されるアナログの映像信号、2および3は映像信号1と共に入力される水平同期信号（H-sync）および垂直同期信号（V-sync）である。4はA/D変換部で、映像信号1をディジタル信号iに変換する。5は1フレーム分の画像データを記録できる、例えば、フレームメモリで、デュアルポートを持ち、画像データの書込みおよび読出しを非同期で同時に行えるものである。6はクロック・水平PLL回路で、H-sync 1に同期したクロックaを生成し、このクロックaを基準とするH-sync bを生成する。クロックaはA/D変換部4に供給され、映像信号1のサンプリングに用いられる。7は書込（Write）制御部で、クロック・水平PLL回路6よりのクロックa、H-sync bおよび映像信号1と共に入力されるV-sync 3に基づく書込制御

信号gにより、フレームメモリ5の画像データiの書込みを制御する。8はクロック・水平PLL・垂直PLL回路で、スイッチ11のオンで垂直同期信号3が入力された場合、垂直同期信号3に同期した読出しクロックc、内部水平同期信号dおよび内部垂直同期信号eを生成し、スイッチ11のオフで垂直同期信号3が入力されない場合は自走により所要の読出クロックc、内部水平同期信号dおよび内部垂直同期信号eを生成する。9は読出（Read）制御部で、クロック・水平PLL・垂直PLL回路8よりの読出しクロックc、内部水平同期信号dおよび内部垂直同期信号eに基づく読出制御信号hにより、フレームメモリ5の画像データjの読出しを制御する。10はPDPパネルで、クロック・水平PLL・垂直PLL回路8よりの信号等で制御され、フレームメモリ5より読出された画像データjの画像を表示する。

【0008】次に、本発明による画像表示装置の動作を説明する。クロック・水平PLL回路6は、例えば、図2に示すように構成され、VCO23で発振したクロックaを分周器24でH-sync bに分周し、この信号を位相比較器21に帰還し、映像信号1と共に入力されるH-sync 2とで位相を比較し、位相差に応じて出力される電圧をLPF22に輸入し、不要な周波数成分を除去してVCO23に印加し、H-sync 2と位相の一致したクロックaおよびH-sync bを出力する。映像信号1はA/D変換部4に輸入し、クロックaによりサンプリングし、ディジタル信号に変換し、フレームメモリ5に輸入する。そして、書込制御部7により、クロック・水平PLL回路6よりのクロックa、H-sync b、および映像信号1と共に入力されるV-sync 3に基づく書込制御信号gによりフレームメモリ5を制御し、A/D変換部4よりの画像データの書込みを行う。

【0009】クロック・水平PLL・垂直PLL回路8は、例えば、図3に示すように構成する。この回路は、VCO33で発振したクロックcを分周器34でH-sync dに分周し、さらに分周器35でV-sync eに分周し、この信号を位相比較器31に帰還し、スイッチ11がオンされている場合、映像信号1と共に入力されるV-sync 3とで位相を比較し、位相差に応じて出力される電圧をLPF32に輸入し、不要な周波数成分を除去してVCO33に印加し、V-sync 3と位相の一致したクロックc、H-sync dおよびV-sync eを出力する。また、スイッチ11がオフされている場合、位相比較器31にはV-sync 3が入力されないので分周器35で分周された信号との位相比較は行われない。このため、例えば、VCO33の発振素子に水晶発振子等を使用し、自走発振にて周波数精度が高く安定度の高いクロックcを発振するようにし、分周器34で分周されたH-sync dおよび分周器35で分周されたV-sync eの周波数精度が高く、安定度のよいものとなるようにする。

【0010】そして、映像信号1のフレーム周期がPDPパネル10で表示可能なフレーム周期（例えば、60Hz）

より短い場合（例えば、70Hzのコンピュータ信号の場合）、スイッチ11をオフし、上記クロック・水平PLL・垂直PLL回路8で自走によりPDPパネル10で表示可能なフレーム周期に相應するクロックc、H-sync dおよびV-sync eを生成し、これらの信号により読出制御部9を介して読出制御信号hによりフレームメモリ5に書込まれた画像データの読出しを行い、読出されたデータjをPDPパネル10に入力し、同時に、クロック・水平PLL・垂直PLL回路8よりのクロックc、H-sync dおよびV-sync e等によりPDPパネル10を制御し、画面に表示する。

【0011】スイッチ11は、映像信号1のフレーム周期がPDPパネル10に表示可能なフレーム周期と同じ（共に60Hz）場合はオンに切換え、映像信号1と共に入力されるV-sync 3と同期したクロックc、H-sync dおよびV-sync eを生成し、読出制御部9を介してフレームメモリ5の画像データを読み出し、PDPパネル10を制御し、フレームメモリ5よりの画像データjの画面表示を行う。なお、フレーム周期判別部を設けて入力される映像信号のフレーム周期を判別し、この判別によりスイッチ11をオン／オフするようにしてもよい。

【0012】上述のように、入力される映像信号1のフレーム周期がPDPパネル10で表示可能なフレーム周期より短い場合はスイッチ11をオフし、クロック・水平PLL・垂直PLL回路8を自走させ、PDPパネル10を駆動するのに必要なクロックcおよび同期信号d、eを供給してPDPパネル10を動作させ、クロックc、同期信号dおよびeに基づいてフレームメモリ5より読出した画像データjを表示するので、PDPパネル10に表示される画像のデータの一部が他のフレームの画像データに置き換わる場合が生じるが、コンピュータ画像は殆どが静止画像、あるいはこま落とし画像であるので実質的に障害にならない。

【0013】

【発明の効果】以上に説明したように、本発明による画

像表示装置によれば、画像データの書込みと読出しを非同期で行えるフレームメモリ等を設け、このフレームメモリ等にコンピュータ装置よりのフレーム周期70Hz等のデータを書込み、この画像データをPDPパネルで表示可能なフレーム周期（60Hz）で読出し、この60Hzのフレーム周期の信号で駆動されるPDPパネルに印加するので、PDPパネルに正しい階調の画像を表示することができる。この場合、表示される画像の一部が他のフレームの画像データに置き換えられる場合が生じるが、コンピュータ画像の多くは静止画像あるいはこま落とし画像であるので事実的に支障を生じない。

【図面の簡単な説明】

【図1】本発明による画像表示装置の一実施例の要部ブロック図である。

【図2】本発明による画像表示装置のクロック・水平PLL回路の一例の要部ブロック図である。

【図3】本発明による画像表示装置のクロック・水平PLL・垂直PLL回路の一例の要部ブロック図である。

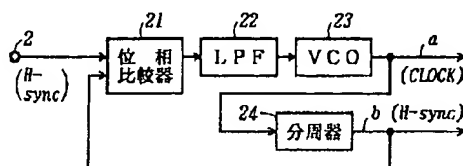
【図4】アドレス・表示分離型サブフィールド法によるPDPパネルの点灯制御を説明する図である。

【図5】従来の画像表示装置の一例の要部ブロック図である。

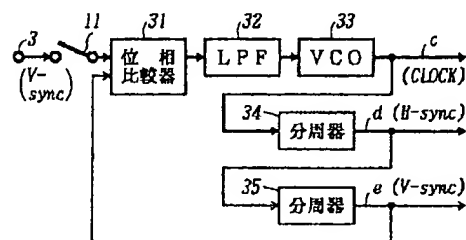
【符号の説明】

- 4 A/D変換部
- 5 フレームメモリ
- 6 クロック・水平PLL回路
- 7 書込制御部
- 8 クロック・水平PLL・垂直PLL回路
- 9 読出制御部
- 10 PDPパネル
- 11 スイッチ
- 21、31 位相比較器
- 22、32 LPF
- 23、33 VCO
- 24、34、35 分周器

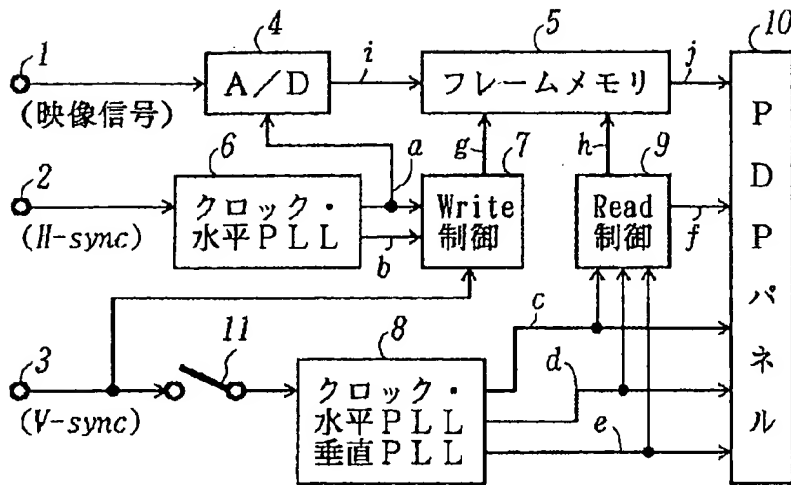
【図2】



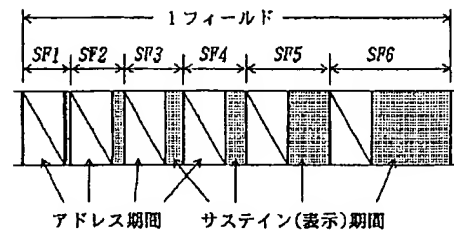
【図3】



【図1】



【図4】



【図5】

